

引用例 1 の写し

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. H01L 21/60	(11) 공개번호 (43) 공개일자	특2001-0006877 2001년01월26일
(21) 출원번호	10-2000-0015667	
(22) 출원일자	2000년03월28일	
(30) 우선권주장	99-086152 1999년03월29일 일본(JP)	
(71) 출원인	소니 가부시끼 가이샤, 이데이 노부유키 일본 000-000	
(72) 발명자	일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고 야나기다 도시하루 일본 일본도쿄도시나가와구키타시나가와6초메7반35고소니가부시끼가이샤내	
(74) 대리인	주성민 안국찬	
(77) 심사청구	없음	
(54) 출원명	반도체 장치 및 그 제조 방법	

요약

본 발명에 따른 반도체 장치의 제조 방법은, LSI가 형성된 반도체 장치 웨이퍼를 마련하는 단계와, 반도체 장치 웨이퍼의 두께를 최대 200 μ m으로 줄이도록 반도체 장치 웨이퍼를 그 후방면에서부터 가공하는 단계와, 상기 가공된 반도체 장치 웨이퍼 내에 관통 구멍들을 형성하는 단계와, 각각의 관통 구멍 내에 배선 플러그(23; 도7 참조)들을 형성하는 단계와, 배선 플러그(23)들을 각각 포함하는 반도체 칩(7)들로 분리하도록 상기 반도체 장치 웨이퍼를 다이싱하는 단계와, 상기 배선 플러그(23)들과 연결된 범프(10)를 통해 인쇄 배선 회로 기판(25) 상에 적어도 2개의 반도체 칩(7)들을 장착하는 단계를 포함한다. 따라서, 반도체 장치 구성 소자들의 초박형 적층식 다단계 장착을 높은 신뢰도 및 기능성으로 수행할 수 있다.

대표도

도7

색인어

반도체, 웨이퍼, 연마기, 배선 플러그, 칩

명세서

도면의 간단한 설명

도1a 내지 도1e는 알루미늄(Al) 전극 패드 상에 납땜 볼 범프를 형성하는 방법을 도시하는 단면도.

도2는 본 발명의 제1 또는 제2 실시예에 따른 반도체 장치의 제조 방법에서 실리콘 웨이퍼의 후방면의 박형 연삭 가공에 이용되는 후방 연삭기를 도시하는 개략적인 사시도.

도3a 및 도3b는 도2에 도시된 후방 연삭기에 의해 웨이퍼의 후방면의 연삭 가공의 상황을 도시하는 도면으로서, 도3a는 후방 연삭기로 가공하기 전에 웨이퍼의 전방면에 보호 테이프가 부착된 상태를 도시하는 단면도이고, 도3b는 후방 연삭기를 이용한 연삭에 의해 웨이퍼의 후방면의 흠(flaw)들이 제거된 상태를 도시하는 단면도.

도4는 본 발명의 제1 실시예에 따른 반도체 장치를 제조하는 방법에서 박형 가공된 웨이퍼와 연삭부의 마무리 가공에 이용되는 화학 기계적 연마기를 개략적으로 도시한 단면도.

도5a 내지 도5d는 본 발명의 제1 또는 제2 실시예에 따른 반도체 장치의 제조 방법에서 연마 및 박형 가공된 반도체 장치 칩에 관통 VIA 배선을 형성하는 공정 단계를 도시하는 단면도.

도6a 내지 도6c는 도5d에 도시된 단계 후의 일련의 단계들로서, 본 발명의 제1 또는 제2 실시예에 따른 반도체 장치의 제조 방법에서 연마 및 박형 가공된 반도체 장치 칩에 관통 VIA 배선을 형성하는 공정 단계를 도시하는 단면도.

도7은 본 발명의 제1 실시예에 따라 박형 가공된 반도체 장치 칩들이 적층식 3차원(다단계) 장착법에 의해 마더 보드 상에 장착된 상태의 반도체 장치를 도시하는 단면도.

도8은 본 발명의 제2 실시예에 따라 박형 가공된 반도체 장치 칩들이 적층식 3차원(다단계) 장착법에 의해 마더 보드 상에 장착된 상태의 반도체 장치를 도시하는 단면도.

도9는 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법에서 박형 가공된 웨이퍼 및 연삭부의 마무리 가공에 이용되는 스펀 에칭 장치를 개략적으로 도시하는 사시도.

<도면의 주요 부분에 대한 부호의 설명>

- 1 : 실리콘 기판
- 2 : 전극 패드
- 7 : 반도체 칩
- 10 : 납땜 볼 범프
- 22 : 웨이퍼
- 23 : 배선 플러그
- 25 : 인쇄 배선 회로 기판(마더 보드)
- 31 : 연삭기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전자 장치의 제조에 적용되는 반도체 장치 및 그 제조 방법에 관한 것이다. 특히, 본 발명은 초박형(ultrathin) 경량 구조의 전자 장치를 구현하는 반도체 장치 웨이퍼와, 그러한 웨이퍼들이 3차원으로(즉, 단단계 방식으로) 장착되는 구성을 갖는 반도체 장치와, 반도체 장치 및 반도체 장치 웨이퍼를 제조하는 방법에 관한 것이다.

전자 장치들의 크기를 더욱 축소하기 위해, 반도체 장치 구성 소자들의 장착 밀도를 얼마나 높일 수 있는 지가 중요하다. 반도체 IC(집적 회로)들에 관해, 종래의 패키지 장착의 대안으로서 LSI(대규모 집적 회로) 칩이 인쇄 배선 회로 기판에 직접 장착되는 플립-칩 장착과 같은 고밀도 장착 기술이 전세계적으로 개발되어왔다.

플립 칩에 기초하는 연결 방법들 중 하나는 납땜 볼 범프(bump)들이 반도체 IC의 Al(알루미늄) 전자 패드 상에 형성 및 장착되는 방법이다. 소정의 전극들 상에 납땜 볼 범프들을 형성하는 방법은 전기 도금을 이용한다. 이러한 방법은 성형될 납땜 막의 두께가 표면 상태에서의 다소의 편차 및 부(subbing) 재료층의 전기 저항에 의해 영향을 받으므로, 기본적으로 IC 칩 내에 균일한 높이의 납땜 볼 범프들을 형성하는데 어려운 문제점이 있다.

그러한 납땜 볼 범프들의 높이의 편차는 포토리지스트 막의 상향 및 진공 증착에 의해 납땜 막의 성형을 이용하는 패턴 성형 방법에 의해 억제될 수 있다. 상기 방법에 따라 납땜 볼 범프를 성형하는 공정의 일에는 첨부된 도면의 도1a 내지 도1e에 도시되어 있다.

도1a 내지 도1e는 Al 전극 패드 상에 납땜 볼 범프들을 성형하는 방법을 도시하는 단면도이다.

먼저, 도1a에 도시된 바와 같이, Al-Cu 합금 막 등은 스퍼터링에 의해 실리콘 등의 반도체 기판(1) 상에 증착되고, 그 막은 각각의 Al 전극 패드(2)가 반도체 기판 상에 형성되도록 에칭된다. 그 이후에, Al 전극 패드(2)들을 포함하는 반도체 기판(1)의 전체 표면은 실리콘 질화물, 폴리이미드 등으로 제조된 표면 보호 막(3)으로 덮여지고, 여기서 그 표면 보호 막(3)은 전극 패드(2)를 덮는 각각의 개구(3a)를 에칭함으로써 형성된다. 그 이후에, 각각의 BLM(불 저항 금속) 막(4)이 스퍼터링에 의해 개구(3a) 내에 그리고 표면 보호 막(3) 상에 형성된다. 따라서, 플립 칩 IC의 각각의 접합부가 형성된다. 또한, BLM 막(4)은 Cr, Cu, Au 등에서 적어도 2가지 이상으로 제조된 다중층 금속 막이다.

그 이후에, 도1b에 도시된 바와 같이, BLM 막(4)을 덮는 각각의 개구(5)를 구비한 리지스트 패턴(6)은 표면 보호 막(3) 상에 제공된다. 그 이후에, 도1c에 도시된 바와 같이, 납땜 증착막(13)은 각각의 개구(5)의 내부를 포함하는 그 구조의 전체 표면 상에 형성된다.

그 이후에, 도1d에 도시된 바와 같이, 납땜 증착막(13)의 불필요한 부분은 리지스트 패턴(6)을 들어올림으로써 리지스트 패턴(6)과 함께 제거되고, 이로써 납땜 증착막의 소정의 패턴이 BNM 막(4) 상에 형성된다. 그 이후에, 도1e에 도시된 바와 같이, 납땜 증착막의 납땜부는 열처리로 용융되고, 이로써 각각의 내화 납땜 볼 범프(14)는 대응 BNM 막(4) 상에 최종적으로 형성된다.

전술한 대로 본 발명자들이 제안한 방법을 이용하여 범프들이 형성된 반도체 칩은 플립 칩 장착법에 의해 인쇄 배선 회로 기판 상에 장착된다. 이 때에, 성형 수지로 패키징된 종래의 장치를 장착하는 경우에서보다 더 작게 마더 보드를 제조할 수 있다. 따라서, 본 발명자들은 다양한 전자 장치를 더 축소하고 더 경량화하는데 크게 기여하고 있다.

그럼에도 불구하고, 반도체 장치의 장착 공간은 IC 카드, 휴대폰, 개인 단말기(PDA: Personal Digital Assistant) 등을 포함하는 휴대용 전자 장비에서 최대한으로 축소되어야 한다. 따라서, 주 목적으로서 반도체 장치를 그 높이 방향으로 더 얇게 제조하고 2차원적인 공간(또는 면적)을 더욱 절감할 수 있는 적층식(또는 다층식) 3차원(또는 단단계) 고밀도 장착 기술이 더욱 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 상황을 고려하여 제조되었고, 반도체 장치 구성 소자들의 적층식 초박형 3차원(또는 단단계) 장착법을 높은 신뢰도와 기능성으로 구현할 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명의 제1 태앙에 따른 반도체 장치 제조 방법은, LSI가 형성된 반도체 장치 웨이퍼를 마련하는 단계와, 반도체 장치 웨이퍼의 두께를 최대 200 μm 으로 줄이도록 반도체 장치 웨이퍼를 그 후방면에서부터 가공하는 단계와, 상기 반도체 장치 웨이퍼 내에 관통 구멍을 형성하는 단계와, 상기 관통 구멍 내에 배선 플러그를 형성하는 단계를 포함한다.

본 발명의 제2 태앙에 따른 반도체 장치는, 전방면에 LSI가 형성되고 그 두께를 최대 200 μm 으로 줄이도록 그 후방면에서부터 가공된 반도체 장치 웨이퍼와, 상기 반도체 장치 웨이퍼 내에 형성된 관통 구멍과, 상기 관통 구멍 내에 형성된 배선 플러그를 포함한다.

본 발명의 제3 태앙에 따른 반도체 장치 제조 방법은, LSI가 형성된 반도체 장치 웨이퍼와, LSI의 외주 모서리에 배치된 전극 패드를 마련하는 단계와, 반도체 장치 웨이퍼의 두께를 최대 200 μm 으로 줄이도록 반도체 장치 웨이퍼를 그 후방면에서부터 가공하는 단계와, 상기 반도체 장치 웨이퍼의 전방면 및 후방면을 절연 재료로 코팅하는 단계와, 절연 재료의 코팅부, 전극 패드 및 상기 반도체 장치 웨이퍼를 관통하는 구멍을 형성하는 단계와, 상기 구멍 내에 상기 반도체 장치 웨이퍼의 전방면 및 후방면을 접합시키는 배선 플러그를 형성하는 단계를 포함한다. 또한, 반도체 장치 웨이퍼를 그 후방면에서부터 가공하는 경우에 있어서 그 가공 방법으로서, 웨이퍼를 박형 가공하기(thin)에 적합한 방법이라면 어떤 방법도 이용될 수 있다. 그러나, 예를 들어 연삭, 화학 기계적 연마 또는 에칭을 이용하는 것이 바람직하다.

제3 태앙에 따른 제조 방법에 의하면, 웨이퍼의 각각의 표면이 레이저 가공 전에 미리 절연 재료로 코팅됨으로써, 레이저 가공으로 박형 웨이퍼 내에 미세 관통 구멍을 형성하는 단계에서 관통 구멍의 모퉁이 각도가 레이저 비임이 관통되는 처리될 표면의 개구 단부에서 확장되는 것을 방지할 수 있다. 결과적으로, 보다 수직인 (또는 모퉁이가 덜된) 단면 형상을 갖는 관통 구멍이 안정되게 형성될 수 있고, 웨이퍼의 전방면 및 후방면을 접합시키는 관통 구멍이 높은 정밀도로 형성될 수 있다. 따라서, 반도체 장치를 직접 적층하고 장착하는 배선 플러그를 형성할 수 있다. 그러므로, 전자 장치를 초소형 및 초박형으로 구현하는 고밀도 장착법에 의해 반도체 장치 구성 소자들을 장착할 수 있다.

본 발명의 제3 태앙에 따른 반도체 장치 제조 방법은, 양호하게는 상기 구멍을 형성하는 단계 후에, 상기 구멍을 절연 재료로 채우도록 상기 반도체 장치 웨이퍼의 양 표면들을 절연 재료로 또 다시 코팅하는 단계와, 상기 구멍 내에 보유된 상기 절연 재료 내에 상기 구멍의 직경보다 더 작은 직경을 갖는 관통 개구를 형성하는 단계를 더 포함한다.

전술한 반도체 장치 제조 방법에 따르면, 반도체 장치 웨이퍼를 관통하는 구멍의 성형후에, 양 웨이퍼 표면들은 또 다시 절연 재료로 코팅됨으로써 그 구멍보다 더 작은 직경을 갖는 관통 구멍이 구멍 내에 보유된 절연 재료 내에 순차적으로 형성될 수 있도록 그 구멍을 절연 재료로 채운다. 따라서, 절연 재료는 균일한 두께를 갖도록 그 구멍 내의 내측벽 상에 남겨질 수 있다. 또한, 양 표면들은 또 다시 절연 재료로 코팅된 후에, 양 표면들의 각각 상의 절연 재료의 두께는 필요에 따라 연마 등에 의해 조정됨으로써, 관통 구멍의 가공이 높은 정밀도로 안정되게 수행될 수 있다.

또한, 균일한 두께로 이루어진 부분에서 구멍의 내측벽 상에 절연 재료를 남겨두는 이유는 반도체 장치의 전방면 및 후방면을 접합시키는 배선 플러그가 나중 단계에서 형성될 때 배선 플러그 및 반도체 장치 웨이퍼를 신뢰성 있게 절연시키고, 장치 칩들이 적층되고 나중에 장착될 때 전류가 적층된 반도체 장치 칩들을 연결하는 배선 플러그들로부터 누출되는 것을 신뢰성 있게 방지하기 위함이다.

본 발명의 제4 태앙에 따른 반도체 장치 제조 방법은, LSI가 형성된 반도체 장치 웨이퍼와, LSI의 외주 모서리에 배치된 전극 패드를 마련하는 단계와, 반도체 장치 웨이퍼의 두께를 최대 200 μm 으로 줄이도록 반도체 장치 웨이퍼를 그 후방면에서부터 가공하는 단계와, 상기 반도체 장치 웨이퍼의 전방면 및 후방면을 절연 재료로 코팅하는 단계와, 절연 재료의 코팅부, 전극 패드 및 상기 반도체 장치 웨이퍼를 관통하는 구멍을 형성하는 단계와, 상기 구멍을 절연 재료로 채우도록 상기 반도체 장치 웨이퍼의 양 표면들을 절연 재료로 또 다시 코팅하는 단계와, 상기 구멍 내에 보유된 상기 절연 재료 내에 상기 구멍의 직경보다 더 작은 직경을 갖는 관통 개구를 형성함과 동시에 상기 구멍의 내측벽 상에 상기 절연 재료로 남겨두는 단계와, 상기 관통 개구의 내부와 상기 반도체 장치 웨이퍼의 전방면 및 후방면을 접합시키는 배선층들을 형성하는 단계와, 상기 반도체 장치 웨이퍼의 상기 전방면 및 후방면 상에 각각의 전극 패드를 포함하고 상기 반도체 장치 웨이퍼의 상기 전방면 및 후방면을 접합시키는 배선 플러그를 형성하도록 배선층들을 패터닝하는 단계를 포함한다.

제4 태앙에 따른 반도체 장치 제조 방법에서, 배선 플러그는 양호하게는 반도체 장치 웨이퍼에 무전해 도금 및 전기 도금을 연속적으로 실시하여 형성된다.

전술한 반도체 장치 제조 방법에 따르면, 박형 가공된 반도체 장치 웨이퍼는 먼저 무전해 도금이 실시됨으로써, 관통 구멍의 내측벽을 포함하는 웨이퍼의 표면 상에 박형 금속(예를 들어, Cu) 시드 층을 형성한다. 그 이후에, 그 반도체 장치 웨이퍼는 전극으로서 시드 층들을 이용하여 전기 도금을 실시함으로써, 관통 구멍을 채우면서 전체 웨이퍼 표면들 상에 금속 배선 층들이 형성된다. 또한, 리지스트 패턴들은 리소그래피에 의해 금속 배선 층들 상에 각각 형성되고, 양 웨이퍼 표면들은 부식제(etchant)로 에칭됨으로써 반도체 장치 웨이퍼의 양 표면들을 접합시키는 배선 플러그가 형성되고, 적층식(또는 다층식) 장착을 위한 전극 패드들은 배선 플러그의 양 단부에 형성된다.

본 발명의 제3 또는 제4 태앙에 따른 반도체 장치 제조 방법에서, 절연 재료는 양호하게는 액화 수지 또는 유기 리지스트 재료로 제조된다. 액화 수지로서는 에폭시형 수지, 실리콘형 수지, 페닐형 수지 등이 양호하다.

본 발명의 제5 태앙에 따른 반도체 장치 제조 방법은, LSI가 형성된 반도체 장치 웨이퍼를 마련하는 단계와, 반도체 장치 웨이퍼의 두께를 최대 200 μm 으로 줄이도록 반도체 장치 웨이퍼를 그 후방면에서부터 가공하는 단계와, 상기 반도체 장치 웨이퍼 내에 관통 구멍들을 형성하는 단계와, 각각의 관통 구멍 내에 배선 플러그들을 형성하는 단계와, 배선 플러그들을 각각 포함하는 반도체 칩들로 분리하도록 상기 반도체 장치 웨이퍼를 다이싱하는 단계와, 상기 배선 플러그들과 연결된 연결 수단을 통해 인쇄 배선 회로 기판 상에 적어도 2개의 반도체 칩들을 적층 및 장착하는 단계를 포함한다.

제5 태앙에 따른 반도체 장치 제조 방법에 의하면, 박형 가공된 반도체 장치 웨이퍼는 반도체 칩들로 쪼개지고, 반도체 칩들 중 적어도 2개는 인쇄 배선 회로 기판 상에 적층 및 장착될 수 있다. 여기서, 기본적으로, 임의의 수의 반도체 칩들을 다단계 방식으로 적층 및 장착할 수 있다. 더욱이, 칩들은 박형 가공이 미리 실시되므로, 반도체 장치의 장착 높이는 칩들이 다단계 방식으로 적층될 때에도 낮게 억제될 수 있다. 따라서, 높은 기능성을 갖는 반도체 장치 모듈을 제공할 수 있다.

제5 태앙에 따른 반도체 장치 제조 방법에서, 양호하게는 연결 수단은 납땜 볼 범프, 배선 범프, 이방성 도전막 및 전도성 페이스트 중 적어도 하나이다.

본 발명의 제6 대항에 따른 반도체 장치는, 후방면에 랜드가 제공된 인쇄 배선 회로 기판과, 최대 200 μm 의 두께를 각각 갖고 연결 수단을 통해 인쇄 배선 회로 기판 상에 적층 및 장착된 복수의 반도체 칩들을 포함하고, 상기 반도체 칩들의 각각은 상기 각각의 반도체 칩을 관통하는 관통 개구들과 상기 관통 개구들 내에 각각 형성된 배선 플러그들을 포함하고, 상기 랜들 및 배선 플러그들은 연결 수단에 의해 각각 전기적으로 연결되도록 구성된다.

전술한 대로, 본 발명은 높은 기능성, 높은 신뢰도, 소형 크기 및 경량이 요구되는 미래의 반도체 장치를 제조하는데 있어서 매우 효과적이다. 도면을 참조하여 본 발명의 실시예들을 설명한다.

도2 내지 도7은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 도시한다.

제1 실시예는 본 발명을 반도체 장치 구성 요소들을 장착하는 공정에 적용하는 예이다. 구체적으로, 제1 실시예에서, 각각의 실리콘 웨이퍼의 후방면에는 연삭 및 화학적 기계 연마를 이용하여 박형 가공이 실시되고, 그 다음에 실리콘 웨이퍼를 관통하는 금속 VIA 배선들은 LSI의 외주 모서리에 배치된 전극 패드에 대해 배설되고, 복수의 박형 반도체 칩들은 접합 수단으로서 납땜 볼들을 이용하여 각각 또는 상호 접합되고, 접합된 박형 반도체 칩들은 적층식 (또는 다중판) 3차원 (또는 다단계) 장착법에 의해 마더 보드 상에 장착된다.

도2에 도시된 바와 같이, 무엇보다도, 미리 LSI로 구성된 반도체 장치 웨이퍼(22)가 마련되고, LSI로 구성된 웨이퍼(22)의 표면(전방면) 상에 표면 보호 테이프(15)가 접착된다. 그 이후에, 웨이퍼(22)는 연삭기(31)의 표면 테이블(32) 상에 설치된다. 이 경우에, 웨이퍼(22)는 표면 보호 테이프(15)가 표면 테이블(32)과 접촉되도록 설치된다. 그 외에도, 이 때에 (후방 연삭 작업 전에) 실리콘 웨이퍼(22)의 후방면은 도3a에 도시된 바와 같이 다수의 홈(16)이 포함된 상태에 있다. 후방면의 그 홈(16)들은 웨이퍼가 LSI를 제조하는 선처리 단계에서 다수의 공정들을 거친다는 이유로 인해 불가피하게 형성된다.

그 다음으로, 웨이퍼(22)가 회전되는 동안에, 그 후방면은 회전하는 연삭 휠(18)에 의해 아래에 설명되는 상태하에서 후방 연삭 작업이 실시된다. 따라서, 도3b에 도시된 바와 같이, 웨이퍼(22)는 연삭되고 110 μm 의 두께로 박형 가공되고 그 후방면 홈(16)은 연삭에 의해 제거된다.

연삭 휠의 이송 속도 : 150 $\mu\text{m}/\text{min}$

연삭 휠의 회전 진동수 : 2500 r.p.m.

연삭후 웨이퍼의 두께 : 110 μm (연삭에 의해 줄어든 두께 : 약 510 μm)

그 이후에, 도4에 도시된 바와 같이, 박형 가공이 실시된 웨이퍼(22)는 화학 기계적 연마기(34)의 웨이퍼 캐리어(21) 상에 배치된다. 이 경우에, 웨이퍼(22)는 표면 보호 테이프(15)가 웨이퍼 캐리어(21)와 접촉되도록 설치된다.

그 이후에, 웨이퍼(22)가 회전하는 동안에, 그 후방면은 아래에 설명된 상태하에서 마무리 처리로서 회전하는 표면 테이블(35)에 의해 연마된다. 이 경우에, 연마 천(20)이 표면 테이블(35) 상에 부착되고, 연마 용제 또는 슬러리(19)는 연마 천(20)에 배출되며, 압력이 표면 테이블(35)로 웨이퍼(22) 상에 가해진다. 따라서, 연삭으로 인해 웨이퍼(22)의 후방면 상에 새로이 형성된 손상들이 제거되고, 연마되고 두께가 100 μm 으로 줄어든 웨이퍼(22)의 기계적 강도가 향상된다.

웨이퍼의 회전 진동수 : 80 r.p.m.

표면 테이블의 회전 진동수 : 80 r.p.m.

연마 압력 : 400 gr./cm²

특킹 속도 : 2 mm/sec

슬러리의 공급율 : 40 ml./min

연마에 의해 줄어든 두께 : 10 μm

그 이후에, 도5a에 도시된 바와 같이, 표면 보호 테이프(15)는 박형 가공을 마친 실리콘 장치 웨이퍼(22)로부터 벗겨진다. 이 때에 웨이퍼(22)는 LSI가 형성되고 연마 및 박형 가공을 실시한 상태이다. 그 다음에, 본 제조 방법은 도5a 내지 도5d 및 도6a 내지 도6c에 도시된 바와 같이, 관통한 VIA 배선을 형성하는 공정으로 진행된다. 그러나, 이 도면들에서, 실리콘 기판(1)으로 구성된 LSI는 도시되지 않았고, 단지 (칩들로 분리된) 장치 웨이퍼가 하나의 유니트로 도시되고 웨이퍼의 (각각의 칩의) 그 외주 모서리에 배치된 AI 전극 패드(2)들이 도시된다. 부수적으로, 이 도면들은 연마되고 박형 가공된 반도체 장치 웨이퍼(칩)에서 관통한 VIA 배선들을 형성하는 공정을 단계 순차에 따라 개략적으로 도시하는 단면도들이다.

그 이후에, 도5b에 도시된 바와 같이, 에폭시형(8)의 액화 수지가 실리콘 기판(1)의 각각의 표면을 상에 약 20 μm 의 두께로 도포되고 열경화된다. 따라서, 웨이퍼는 그 전체 표면이 경화된 에폭시형 수지(8)로 코팅된 상태에 있다.

그 이후에, 도5c에 도시된 바와 같이, 그 직경이 약 90 μm 이고 에폭시형 수지(8), 대응 AI 전극 패드(2) 및 박형 실리콘 기판(1)의 코팅층을 관통하는 각각의 VIA 구멍들(8a)(관통 구멍들)은 AI 전극 패드(2)의 중심이 웨이퍼(칩)의 외주 모서리에 배치된 AI 전극 패드(2)의 중심에 위치하도록 레이저 처리되어 형성된다. 이 경우에, 주기적 변조(harmonic modulation)를 받는 UV-YAG(자외선-이트륨 알루미늄 가넷) 레이저를 포함하는 레이저 처리 장치(도시안됨)가 사용된다. UV-YAG 레이저의 파장은 0.355 μm 이다. 예를 들어, UV-YAG 레이저 처리 장치로서 레이저 드릴 시스템 "모델 5100"(엔그레이빙 시스템 인테그레이터즈, 인크.의 상표)를 사용하는 것이 바람직하다.

실리콘 기판(1)의 각각의 표면이 레이저 처리 전에 액화 수지(8)로 사전 코팅되는 이유는 구멍의 모퉁이 각도가 레이저 비임이 진입되는 표면의 개구 단부에서 발생하는 레이저 비임의 (수직선 대 처리될 표면의) 경사로 인해 확장되는 것을 제한함으로써, 보다 수직인 (또는 덜 모퉁이된) 단면형을 갖는 VIA 구멍(8a)이 고정밀도로 형성되게 하기 위해서이다.

그 이후에, 도5d에 도시된 바와 같이, 에폭시형의 액화 수지(28)는 그 두께가 20 μm 이상이 되도록 실리콘 기판(1)의 각각의 표면 상에 도포되고 열경화됨으로써, VIA 구멍(8a)들은 수지(28)로 채워진다. 즉, 웨이퍼는 관통 구멍(8a)들이 수지(28)로 채워진 상태에 있다.

그 이후에, 그에 따른 실리콘 기판(1)은 예를 들어 도4에 도시된 화학 기계적 연마기(34) 상에 설치된다. 또한, 도6a에 도시된 바와 같이, 실리콘 기판(1)의 각각의 표면들 상의 에폭시형 수지(28)는 부분적으로 연마되어 얇아지고 평평해진다. 이 경우에, 전체 두께가 약 40 μm 인 에폭시형 수지(8, 28)는 실리콘 기판(1)의 각각의 표면 상에 형성된다.

그 이후에, 도6b에 도시된 바와 같이, 각각의 구멍은 전문한 UV-YAG 레이저 가공 장치를 이용하고 에폭시형 수지(28)가 내장된 VIA 구멍(8a)의 중심에 놓이도록 레이저 비임의 직경이 줄어든 레이저 가공 방법에 의해 제공된다. 따라서, 직경이 50 μm 이고 대응 VIA 구멍(8a)에 수용된 에폭시형 수지(28)를 관통하는 각각의 VIA 구멍(28a)이 형성되고, 동시에 두께가 약 20 μm 이고 에폭시형 수지(28)로 제조된 절연층이 VIA 구멍(8a)의 내벽에 균일하게 형성된다.

그 이후에, 웨이퍼는 예를 들어 Cu와 같은 금속으로 무전해 도금되어 그 표면 상에 시드층을 형성하고, 그 웨이퍼는 전극으로서 시드층을 이용함으로써 금속 Cu로 전기 도금된다. 따라서, Cu 플러그들은 관통한 VIA 구멍(28a) 내에 각각 형성된다. 이 경우에, Cu 플러그들은 코팅량을 최적화하고 에폭시형 수지(28)의 양과 비임 직경부를 미리 레이저 가공으로 연마함으로써 보이드를 발전시킴없이 대응 관통 VIA 구멍(28a)들 내에 각각 채워질 수 있다.

마지막으로, 웨이퍼의 양 표면들 상에는 리소그래피에 의해 마크가 형성되고, 그 웨이퍼 표면에는 에칭이 실시된다. 그 다음에, 도6c에 도시된 바와 같이, 반도체 장치를 관통하는 VIA 금속 플러그(23)는 VIA 구멍(28a)들 내에 형성되고, 외부 연결용 전극 패드들은 VIA 금속 플러그(23)들의 각각의 양 단부에 형성된다.

전문한 방식으로 관통 VIA 배선 플러그(23)가 형성된 박형 가공된 장치 웨이퍼는 다이싱(dicing) 가공에 의해 개개의 칩으로 분리됨으로써, 적층식 3차원 장착용의 박형 가공된 반도체 장치 칩(7)(일례로서 한 유니트로서의 4개의 층)이 도7에 도시된 대로 완성된다.

그 이후에, 도7에 도시된 바와 같이, 예를 들어 납땜 볼 범프(10)는 금속 배선 플러그(23)의 전극 패드들 상의 연결 수단으로 형성된다. 아울러, Cu 랜드(11)(land)를 구비한 인쇄 배선 회로 기판(마더 보드)가 마련되고, 그 마더 보드(25) 상에 반도체 장치 칩(7)들이 정합되고, 제1 층의 칩(7)이 마더 보드 상에 장착된다. 따라서, 제1 층 칩(7)의 납땜 볼 범프(10)(bump)는 마더 보드(25)의 각각의 대응 Cu 랜드(11)에 전기적으로 연결된다.

그 이후에, 제2 층의 반도체 장치 칩(7)이 제1 층 칩(7) 상에 장착되고, 제3 층의 반도체 장치 칩(7)이 제2 층 칩(7) 상에 장착되며, 제4 층의 반도체 장치 칩(7)이 제3 층 칩(7) 상에 장착된다. 따라서, 제1 층 칩(7) 내지 제4층 칩(7)의 금속 배선 플러그(23)는 전극 패드들 및 납땜 볼 범프(10)들에 의해 각각 또는 상호간에 전기적으로 연결된다. 이러한 방식으로, 적층식 3차원 장착법에 의해 마더 보드(25) 상에 매우 낮은 장착 높이를 갖는 반도체 장치가 장착된다.

제1 실시예에 따르면, 높은 신뢰도 및 기능성으로 반도체 장치의 적층식 초박형 3차원 장착법을 실시하는 것이 가능하고, 이러한 것은 크기(또는 면적)를 더욱 감소시키고 중량을 경량화하며 장치 구성 소자들을 포함하는 전자 장치의 그 제품의 두께를 줄이는데 도움이 된다.

또한, 이 실시예에서, 장치 칩들 사이의 배선의 누적 길이는 종래의 평면형 패키지 회로 기판, 배선 연결의 다중층 장착 회로 기판 등의 경우에서의 배선의 누적 길이에 비해 특히 단축될 수 있다. 더욱이, 이 실시예에서, LSI의 전극 패드로부터 Au 배선편을 인도하지 않고 또는 패키지의 리드 프레임에 개재시키지 않으면서, 장치 칩들이 회로 기판에 장착된 경우에 회로 기판 상의 칩간(inter-chip) 배선 길이가 현격하게 줄어들 수 있다. 따라서, 이 실시예는 장래에 고속 및 고주파수 장치들에 상당히 효과적으로 적용되고 고기능성의 반도체 장치 구성 소자들을 제조할 수 있는 각각의 배선부의 낮은 인덕턴스로 인해 억제된 신호 지연과 함께 고속 신호 처리를 가능하게 하는 장착 기술로 이루어진다. 따라서, 장치들을 제1 실시예에 기초하여 조립함으로써 제조된 전자 장치의 최종 제품들에 관해서, 이 실시예는 IC 카드, 휴대폰, PDA, 노트북형 퍼스널 컴퓨터 등을 포함하는 휴대용 전자 장치들의 두께를 줄이고 무게를 경량화하며 그 크기(또는 면적)를 더욱 줄이는데 크게 기여할 수 있다.

도2, 도3a 및 도3b, 도5a 내지 도5d, 도6a 내지 도6c, 도8 및 도9는 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 도시한다. 또한, 제1 실시예에서와 동일한 제조 공정 부분들은 제2 실시예의 설명에서 생략된다.

제1 실시예와 유사하게, 제2 실시예는 본 발명을 반도체 장치 구성 소자들의 장착 공정에 적용한 것이다. 구체적으로는, 제2 실시예는 실리콘 웨이퍼의 후방면에 연삭 및 스펀 에칭에 의해 박형 가공을 실시한 후에, 실리콘 웨이퍼를 통해 관통하는 금속 VIA 배선 이 LSI의 외주 모서리에 배치된 전극 패드들 내에 형성되고, 복수의 박형 가공된 반도체 칩들이 정합 수단으로서 ACFs(이방성 도전막)를 이용함으로써 각각 또는 상호간에 접합되고, 그 박형 가공된 반도체 칩들은 적층식(또는 다층식) 3차원(또는 다단계) 장착법에 의해 마더 보드 상에 장착된다.

도2에 도시된 바와 같이, 웨이퍼(22)가 회전되는 동안에, 그 후방면은 아래에 설명된 상태에서 회전하는 연삭 휠(18)에 의해 연삭 작업이 실시된다. 따라서, 도3b에 도시된 바와 같이, 웨이퍼(22)는 연삭되고 그 두께는 150 μm 의 두께로 박형 가공되고, 그 후방면 홈(16)은 연삭에 의해 제거된다.

연삭 휠의 이송 속도: 150 $\mu\text{m}/\text{분}$

연삭 휠의 회전 진동수: 2500 r.p.m.

연삭후 웨이퍼의 두께: 150 μm (연삭에 의해 줄어든 두께: 약 475 μm)

그 이후에, 박형 가공이 실시된 웨이퍼(22)는 도9에 도시된 스펀 에칭 장치의 공정 챔버(40) 내에 위치한 웨이퍼 척(41)(chuck) 상에 설치된다. 웨이퍼(22)가 회전되는 동안에, 웨이퍼(22)의 후방면은 예를 들어 플루오르화수소산 및 질산으로 이루어진 혼합액(부식제)이 공급되고, 아래에 설명된 상태에서 에칭됨으로써, 웨이퍼(22)의 후방면의 마무리 처리가 수행된다. 따라서, 연삭으로 인한 웨이퍼(22)의 후방면 상에 형성된 손상이 제거되고, 에칭되고 100 μm 의 두께로 박형 가공된 웨이퍼(22)의 기계적 강도가 향상될 수 있다.

웨이퍼의 회전 진동수: 2000 r.p.m.

부식제의 조성: $\text{HF}/\text{HNO}_3/\text{H}_2\text{O} = 1/1/8$

부식제의 공급율 : 40 l/분

에칭에 의해 줄어드는 웨이퍼의 두께 : 50 μm

그 이후에, 도5a 내지 도5d에 도시된 처리 단계들 및 도6a 내지 도6c에 도시된 처리 단계들은 제1 실시예에서와 동일한 방법으로 수행됨으로써, 관통 VIA 배선 플러그(23)를 갖는 적층식 3차원 장착용의 박형 가공된 장치 웨이퍼를 제조한다. 그 이후에, Au 배선 범프(12)(도8)는 예를 들어 금속 배선 플러그(23)의 전극 패드들 상의 연결 수단으로 형성된다.

전술한 방식으로 관통 VIA 배선 플러그(23)가 형성된 박형 가공된 장치 웨이퍼는 다이싱에 의해 개개의 칩으로 분리됨으로써, 도8에 도시된 바와 같은 적층식 3차원 장착용의 박형 가공된 반도체 장치 칩(7)이 완성된다.

그 이후에, 도8에 도시된 바와 같이, Cu 랜드(11)를 구비한 인쇄 배선 회로 기판(마더 보드)(25)이 마련되고, 반도체 장치 칩(7)들은 마더 보드(25) 상에 기착된다. 그 이후에, 제1 층의 칩(7)은 마더 보드(25) 상에 장착된다. 예로서, 이 경우에, ACFs(이방성 도전막)는 칩(7)들의 Au 전선 범프(12)들 사이의 그리고 제1 층 칩(7)의 범프(12)들 및 마더 보드(25)의 Cu 랜드(11)들 사이의 접합 수단으로서 이용된다. 먼저, 제1 층 칩(7)의 각각의 범프(12)는 ACF(9)에 의해 마더 보드(25)의 대응 Cu 랜드(11)와 전기적으로 연결된다.

그 이후에, 제2 층의 칩(7)은 ACF(9)를 통해 제1 층 칩(7) 상에 장착되고, 제3 층의 칩(7)은 ACF(9)를 통해 제2 층 칩(7) 상에 장착되고, 제4 층의 칩(7)은 ACF(9)를 통해 제3 층 칩(7) 상에 장착된다. 따라서, 제1 층 칩(7) 내지 제4 층 칩(7)의 금속 배선 플러그(23)는 Au 전선 범프(12) 및 ACF(9)들에 의해 각각 또는 상호간에 전기적으로 연결된다. 이러한 방식으로, 적층식 3차원 장착법에 의해 마더 보드(25) 상에 매우 낮은 장착 높이의 반도체 장치가 장착된다.

또한, 제2 실시예는 제1 실시예와 동일한 효과를 달성할 수 있다.

부수적으로, 본 발명은 전술한 실시예들로 제한되지 않으며, 다양한 수정예들로 수행될 수 있다. 예로서, 반도체 장치의 구조 및 구성 재료, 처리 장치, 처리 조건 등이 본 발명의 목적에서 벗어남없이도 본 발명의 범위 내에서 적절히 선택될 수 있다.

게다가, 제1 실시예에서, 실리콘 기판(1)의 양 표면들은 에폭시형 액화 수지(8, 28)로 코팅되지만, 그 표면들은 유기 리지스트 재료 등으로 코팅될 수 있다.

또한, 관통 VIA 배선의 형성때까지의 제조 단계들이 모두 웨이퍼 상태에서 수행된 것을 전제로 하여 설명되었지만, 웨이퍼는 필요하다면 중간 단계에서 다이싱하여 칩들로 제조될 수 있다.

또한, 제2 실시예에서, 박형 가공된 웨이퍼의 마무리 처리를 위한 에칭으로서 부식제(혼합액)와의 습식 에칭이 예시되었지만, 플라즈마 에칭 장치를 사용하여 할로겐형 가스에 의한 건식 에칭이 수행될 수 있다.

발명의 효과

전술한 바와 같이, 본 발명에 따르면, 반도체 장치 웨이퍼는 그 후방면으로부터 가공됨으로써, 반도체 장치 웨이퍼의 두께를 최대 200 μm 으로 줄이고, 관통 구멍들은 박형 가공된 반도체 장치 웨이퍼 내에 형성되고, 배선 플러그들은 관통 구멍들 내에 형성된다. 따라서, 반도체 장치 구성 소자들의 초박형 적층식(또는 다층식) 3차원(또는 다단계) 장착을 높은 신뢰도 및 기능성으로 구현할 수 있는 반도체 장치 및 그의 제조 방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1.

LSI가 형성된 반도체 장치 웨이퍼를 마련하는 단계와,

반도체 장치 웨이퍼의 두께를 최대 200 μm 으로 줄이도록 반도체 장치 웨이퍼를 그 후방면에서부터 가공하는 단계와,

상기 가공된 반도체 장치 웨이퍼 내에 관통 구멍을 형성하는 단계와,

상기 관통 구멍 내에 배선 플러그를 형성하는 단계를

포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 2.

반도체 장치 웨이퍼와,

전방면에 LSI가 형성되고 그 두께를 최대 200 μm 으로 줄이도록 그 후방면에서부터 가공된 반도체 장치 웨이퍼와,

상기 반도체 장치 웨이퍼 내에 형성된 관통 구멍과,

상기 관통 구멍 내에 형성된 배선 플러그를

포함하는 것을 특징으로 하는 반도체 장치.

청구항 3.

LSI가 형성된 반도체 장치 웨이퍼와, LSI의 외주 모서리에 배치된 전극 패드를 마련하는 단계와,

반도체 장치 웨이퍼의 두께를 최대 200 μm 으로 줄이도록 반도체 장치 웨이퍼를 그 후방면에서부터 가공하는 단계와,

상기 가공된 반도체 장치 웨이퍼의 전방면 및 후방면을 절연 재료로 코팅하는 단계와,

절연 재료의 코팅, 전극 패드 및 상기 반도체 장치 웨이퍼를 관통하는 구멍을 형성하는 단계와,

상기 구멍 내에 상기 반도체 장치 웨이퍼의 전방면 및 후방면을 접합시키는 배선 플러그를 형성하는 단계를

포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 4.

제3항에 있어서, 상기 구멍을 형성하는 단계 후에, 상기 구멍을 절연 재료로 채우도록 최종 반도체 장치 웨이퍼의 양 표면들을 절연 재료로 다시 코팅하고, 상기 구멍 내에 보유된 상기 절연 재료 내에 상기 구멍의 직경보다 더 작은 직경을 갖는 관통 개구를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 5.

LSI가 형성된 반도체 장치 웨이퍼와 LSI의 외주 모서리에 배치된 전극 패드를 마련하는 단계와,

반도체 장치 웨이퍼의 두께를 최대 200 μm 으로 줄이도록 반도체 장치 웨이퍼를 그 후방면에서부터 가공하는 단계와,

상기 가공된 반도체 장치 웨이퍼의 전방면 및 후방면을 절연 재료로 코팅하는 단계와,

절연 재료의 코팅, 전극 패드 및 상기 반도체 장치 웨이퍼를 관통하는 구멍을 형성하는 단계와,

상기 구멍을 절연 재료로 채우도록 상기 반도체 장치 웨이퍼의 양 표면들을 절연 재료로 다시 코팅하는 단계와,

상기 구멍 내에 보유된 상기 절연 재료에 상기 구멍의 직경보다 더 작은 직경을 갖는 관통 개구를 형성함과 동시에 상기 구멍의 내측벽 상에 상기 절연 재료로 남겨두는 단계와,

상기 관통 개구의 내부와 상기 반도체 장치 웨이퍼의 전방면 및 후방면을 접합시키는 배선층들을 형성하는 단계와,

상기 반도체 장치 웨이퍼의 상기 전방면 및 후방면 상에 각각의 전극 패드를 포함하고 상기 반도체 장치 웨이퍼의 상기 전방면 및 후방면을 접합시키는 배선 플러그를 형성하도록 상기 배선층들을 패터닝하는 단계를

포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 6.

제5항에 있어서, 상기 배선 플러그는 상기 반도체 장치 웨이퍼를 무전해 도금 및 전기 도금을 연속적으로 실시함으로써 형성되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 7.

제3항 또는 제5항에 있어서, 절연 재료는 액화 수지 및 유기 리지스트 재료로 구성된 군으로부터 선택된 요소로 제조되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 8.

LSI가 형성된 반도체 장치 웨이퍼를 마련하는 단계와,

반도체 장치 웨이퍼의 두께를 최대 200 μm 으로 줄이도록 반도체 장치 웨이퍼를 그 후방면에서부터 가공하는 단계와,

상기 가공된 반도체 장치 웨이퍼 내에 관통 구멍들을 형성하는 단계와,

각각의 관통 구멍 내에 배선 플러그들을 형성하는 단계와,

배선 플러그들을 각각 포함하는 반도체 칩들로 분리되도록 상기 반도체 장치 웨이퍼를 다이싱하는 단계와,

상기 배선 플러그들과 연결된 연결 수단을 통해 인쇄 배선 회로 기판 위로 적어도 2개의 반도체 칩들을 적층 및 장착하는 단계를

포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 9.

제1항, 제3항, 제5항 및 제8항 중 어느 한 항에 있어서, 상기 반도체 장치 웨이퍼를 상기 후방면에서부터 가공하는 경우에, 그 가공 방법은 연삭법, 화학 기계적 연마법 및 에칭 방법으로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 10.

제8항에 있어서, 상기 연결 수단은 납땜 볼 범프, 배선 범프, 이방성 도전막 및 전도성 페이스트로 구성된 군으로부터 선택된 적어도 하나의 요소를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 11.

전방면에 랜드가 제공된 인쇄 배선 회로 기판과, 각각의 두께가 최대 200 μm 이고 연결 수단을 통해 인쇄 배선 회로 기판 위에 적층 및 장착된 복수의 반도체 칩들을 포함하고,

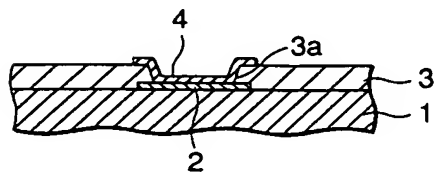
상기 반도체 칩들은 상기 각각의 반도체 칩을 관통하는 관통 개구들과 상기 관통 개구들 내에 각각 형성된 배선 플러그들을 각각 포함하고,

상기 랜드들 및 배선 플러그들은 상기 연결 수단에 의해 각각 전기적으로 연결되는

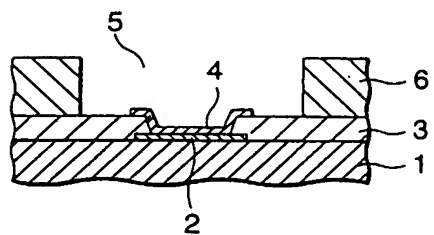
것을 특징으로 하는 반도체 장치.

도면

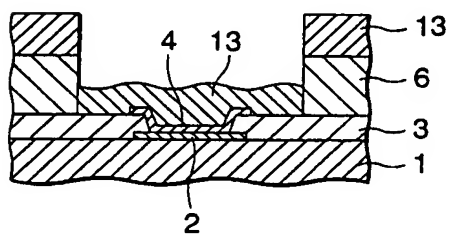
도면 1a



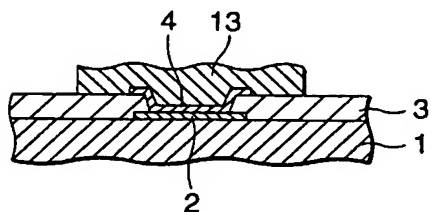
도면 1b



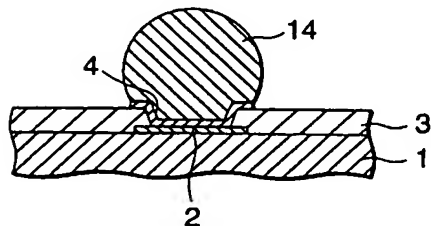
도면 1c



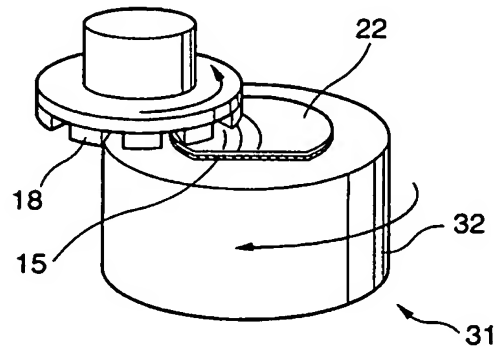
도면 1d



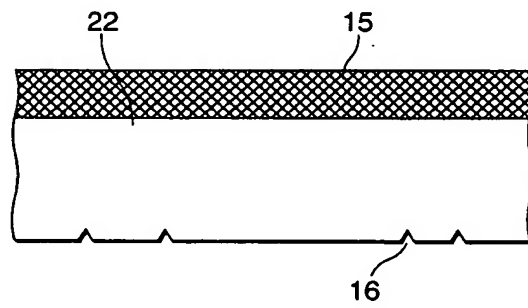
도면 1e



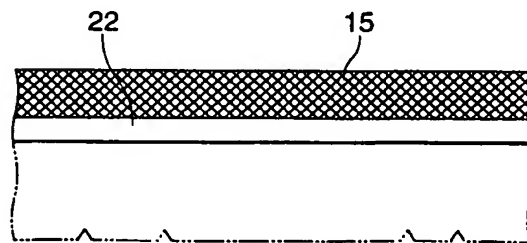
도면 2



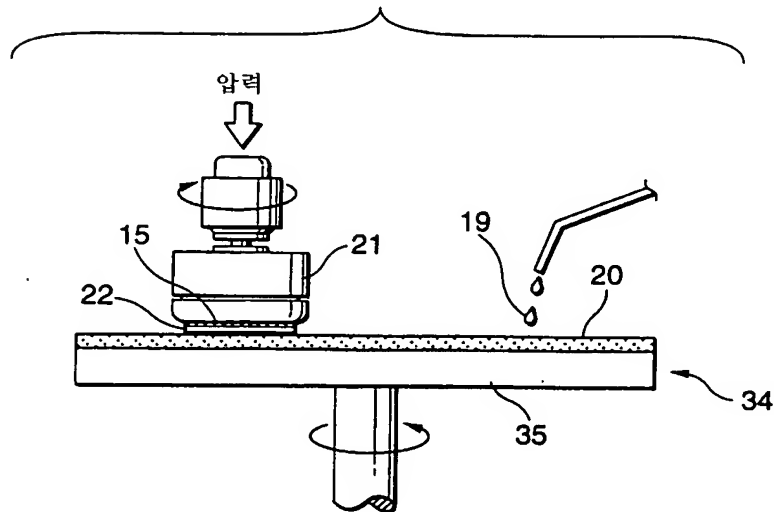
도면 3a



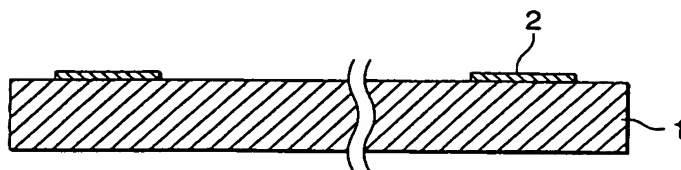
도면 3b



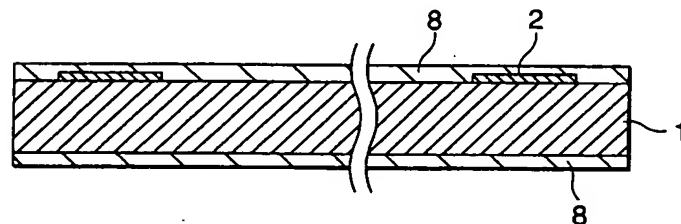
도면 4



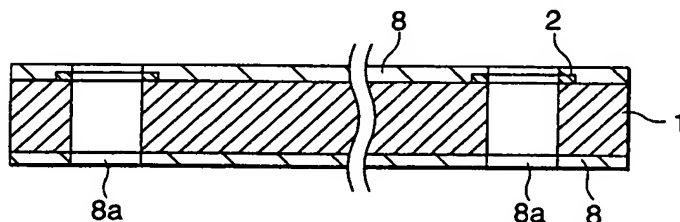
도면 5a



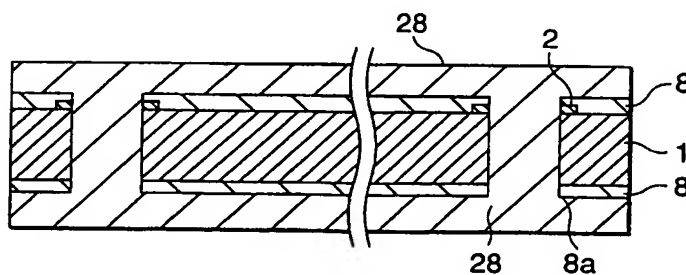
도면 5b



도면 5c



도면 5d



도면 6a

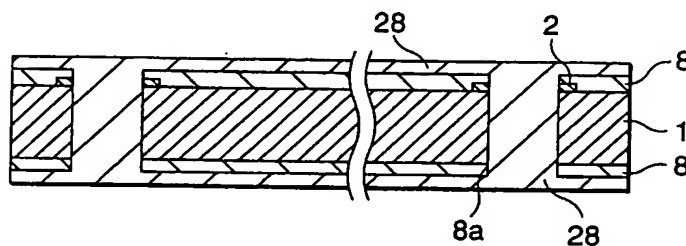


Figure 9

